

### 1.3.3 光スイッチ

光情報通信システム構成における「光スイッチ」は、1980 年代から現在に至るまで、(1)多チャンネル光経路切り換えスイッチ(光 MEMS 等)、および、(2)電気信号 光信号変換器(光変調器)の両義で用いられてきた。現代の大容量光ルータ、そしてさらに大規模データセンターに強く望まれる省電力化には、高速光スイッチデバイス技術(2)のブレークスルーが必要不可欠と考えられる。例えば ITU-T 伝送規格と IEEE-LAN 規格が史上初めて統合されたこと(100 ギガイーサネット規格, 100GbE, 図 1.3.3.1)などを契機として、半導体電界吸収型光変調器(EAM)、高速 LN 光変調器、光変調器駆動用高周波アンプの省電力技術開発が再開されているものの、現状では、「高速化と省電力化のトレードオフ」をブレークスルーする将来見通しが立ちにくい。その一方で、データセンターのエネルギー消費要因(マイクロプロセッサ(MPU)、光スイッチ、ストレージ)のうち MPU と光スイッチの間の境界線は、近年活発に研究開発されている光インターコネクション技術(チップ間・チップ内部相互配線)やシリコンフォトニクス技術の進展により、MPU 近傍・MPU 内部へと段階的に移行する見込みである。いわゆる直接変調型端面発光 LD・面発光 LD 技術開発を含めると、今後 10 年間の光スイッチデバイスの重要性が拡大し続けると考えられる。ただし、MPU 内部の論理ゲートやメモリを高速光化する研究開発活動は、まだ極めて乏しい。

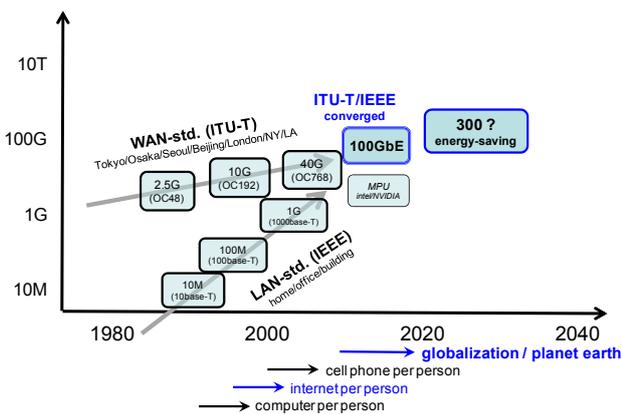


図 1.3.3.1 ITU-T 伝送規格と IEEE-LAN 規格の統合。

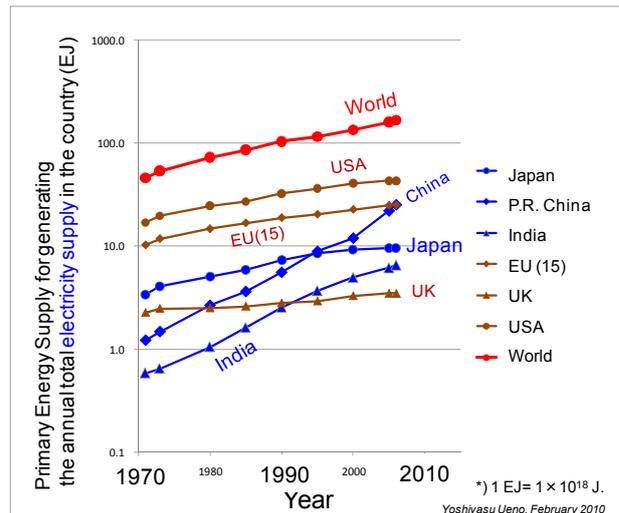


図 1.3.3.2 発電に消費されたエネルギー<sup>2)</sup>。

本稿では、過去 40 年のシリコン MPU の歩みと課題を調査しつつ、2000 年前後に大きく躍進したブレークスルーデバイス候補(光論理ゲートデバイス技術)の[駆動速度、電力消費量、微細化サイズ]指標の動向調査結果を報告する。これらの指標に基づき、MPU 論理ゲートの全光化により期待される性能指標を推定し、それに適合すると期待されるアプリケーションの特徴を提案する<sup>1), 2)</sup>。

大きな背景は、世界各国の電力を発電するために費やしている一次エネルギー割合の、過去 40 年間の大幅な増大である。私たちは、一次エネルギー年間消費量(図 1.3.3.2)の 40%( $2 \times 10^{20}$  ジュール/年)もの資源を、発電目的で消費している<sup>3)</sup>。電力消費要因の中で特にデータセンターの占有割合の急増が目立ち、米国での割合はすでに 1.5%(原子炉 10 基の出力相当)を越え、この割合自体が増え続けている<sup>4)</sup>。原子炉 10 基分の電力消費量の主要因は、驚くべきことに、膨大な数の MPU 回路およびボード内ボード外通信回路を含む高速シリコン集積回路群である。

シリコン集積回路や通信回路を高速化したために消費電力が顕在化したことは、よく知られている。他方、MPU 単体性能は  $10^{10}$  FLOPS を越え、集積トランジスタ数は  $10^9$  個を越え、将来開発計画の力点はさらな

るゲート微細化に置かれると公表されている。主にこの膨大なトランジスタ数ゆえに、既存 MPU 機能と光 MPU 潜在機能の優劣を比べる尺度を見出しにくく、光 MPU の部分的貢献の糸口をつかみにくかった。本調査では光スイッチ調査の前に、MPU、スパコン、データセンターの定量的性能の調査と照合を試みた。まず近年のスパコン性能指標(浮動小数点演算速度、FLOPS)は、汎用 MPU 性能指標×MPU 数によく一致した。タスク当たりエネルギー利用効率も指標化され、コンペも行われている。これとは対照的に商用データセンターに関しては残念ながら、MPU 稼働率やスループット以上のタスク指標が公開共有されず、タスク当たりのエネルギー利用効率を比較する尺度が社会的に未整備な段階にある。

次に、データセンター・スパコンなど代表的産業システムの心臓部を構成する MPU 単体の過去 40 年間の性能動向調査結果を、図 1.3.3.3 に集約する<sup>1), 2)</sup>。ムーアの法則はトランジスタ数増加速度に関する予言だが、実際の代表的 MPU 性能指標(FLOPS)はトランジスタ数とクロック周波数の積( $Tr \cdot Clk$  積)に殆ど比例して増加したといえる。因みに毎秒命令数(MIPS)の増加は FLOPS より遥かに遅く、概ねクロック周波数のみに比例した。図 1.3.3.3 に基づいて過去 40 年間の MPU 構造と性能の発展を要約すると、(1)  $Tr \cdot Clk$  積は  $10^{10}$  倍を超え、FLOPS 増加率は  $Tr \cdot Clk$  積の増加率に比例した。(2)  $Tr \cdot Clk$  積の増加率( $10^{10}$  倍)の内訳は、 $Tr$  増加率  $10^6$  倍および  $Clk$  増加率  $10^4$  倍であり、従って  $Tr$  増加率の寄与は  $Clk$  増加率の寄与を上回った。(3) 従って過去 40 年間の  $10^{10}$  倍という FLOPS 性能向上要因の 50%以上を超並列化アルゴリズムに依存したとみなしてよい。近年すでに産業横断的に進行しているマルチコア MPU 開発路線は、さらにもう一つの並列処理階層を付け加えたと言えよう。ただし並列コンピュータ専門家の間からは、MPU 製造技術開発方針とソフトウェア並列化技術開発の乖離を懸念する声が挙がり始めている<sup>5)</sup>。

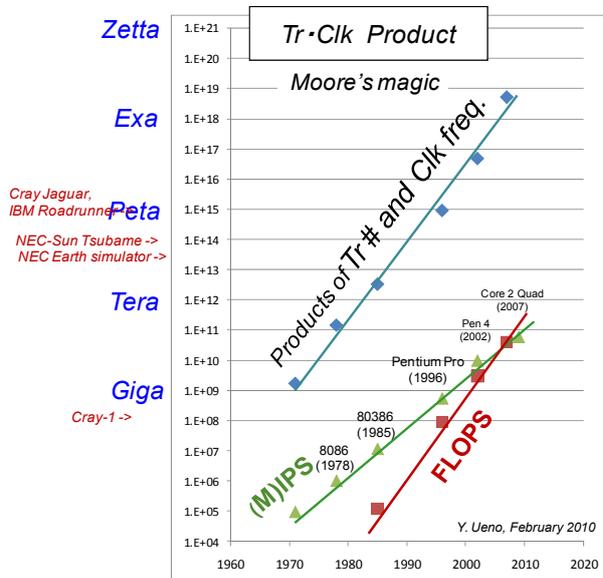


図 1.3.3.3 過去 40 年間の MPU 性能推移<sup>1)</sup>。

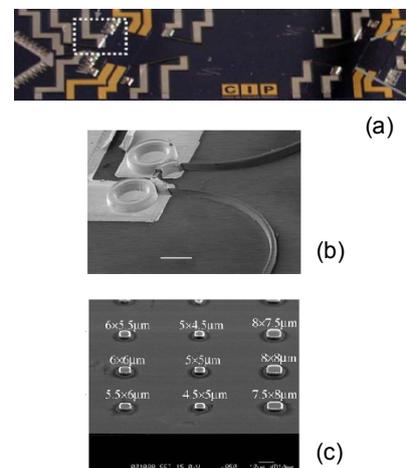


図 1.3.3.4 最新研究段階の光メモリー<sup>6), 8), 9)</sup>

以上のシリコン MPU 動向調査を踏まえ、以下、光論理ゲート群の [速度、電力消費量、微細化サイズ] の最新動向を報告する。なお、電子半導体ロジック回路とやや異なり、光半導体ロジック回路の基本要素は、光増幅器、光 2 値論理ゲート、光導波路であり、これらの基本要素性能を組み合わせることで各種の光メモリーと光ゲートを構成する。まず、最新研究段階の光 2 値メモリー単体の速度は毎秒 40 ~ 200 ギガビット、電力消費量はビット当たり 1 ~ 10 ピコジュール、サイズは  $(100\mu\text{m})^2 \sim (1\text{mm})^2$  程度である<sup>6)-9)</sup>。EU の Kehayas らのメモリーは 1 対の光半導体 2 値論理ゲートをシリカ PLC でハイブリッド集積した FF メモリー(図 1.3.3.4 (a))<sup>6)</sup>、日本の浅川らも 1 対の光 2 値論理ゲートをモノリシック半導体集積した FF メモリー<sup>7)</sup>である。他方、

オランダの Hill らは双安定レーザメモリ(同図(b))<sup>8)</sup>、日本の片山らは垂直入出力型の双安定レーザメモリ(同図(c))<sup>9)</sup>、である。Hill らや片山らはメモリ技術と光源技術を共通化する方向であり、Kehayas らや浅川らの特徴はメモリ技術とゲート技術を共通化する方向といえるだろう。

光 2 値論理ゲートについては、近年 15 年間の高速大容量通信ノード開発上の課題に基づいて、光 NAND ゲートなどの論理ゲートよりむしろ、光クロスコネクタ(OXC)システム用の全光波長変換器が研究開発されてきた。全光波長変換器も、2 値論理入力光信号( $\lambda_1$ )が異波長連続光( $\lambda_2$ )を 2 値変調する光 2 値論理ゲートである。最新研究段階の全光波長変換器の駆動速度は毎秒 200~300 ギガビット、電力消費量はビット当たり 3~10 ピコジュール、サイズは 300 $\mu\text{m}$  × 1mm 程度である<sup>10-12)</sup>。これらの擬似ランダム入出力信号波形を図 1.3.3.5 に示す。中村らの毎秒 160 ギガビット波形はビット同期平均波形(ワード非同期)<sup>10)</sup>、坂口らの毎秒 200 ギガビット波形はワード同期平均波形<sup>11)</sup>、Liu らの毎秒 300 ギガビット波形はビット同期サンプリング波形<sup>12)</sup>である。基本構造は共通であり、半導体光増幅器(SOA)の相互位相変調(XPM)・相互利得変調(XGM)作用に基づく SMZ-DISC 型波長変換器構造である<sup>13)</sup>。

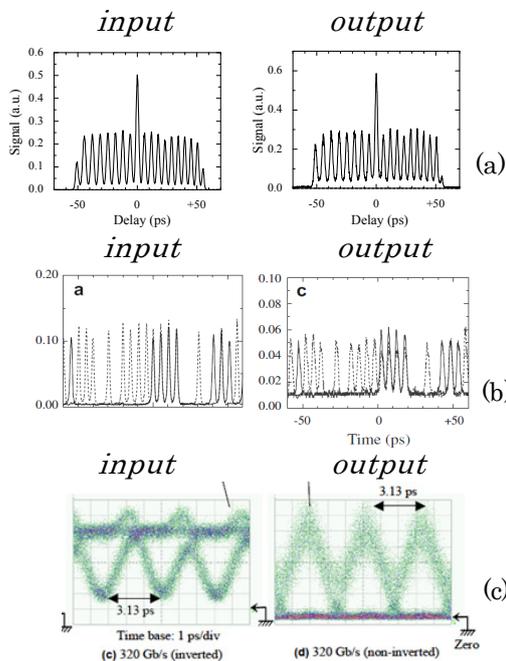


図 1.3.3.5 最新研究段階の光論理ゲート<sup>10)-12)</sup>

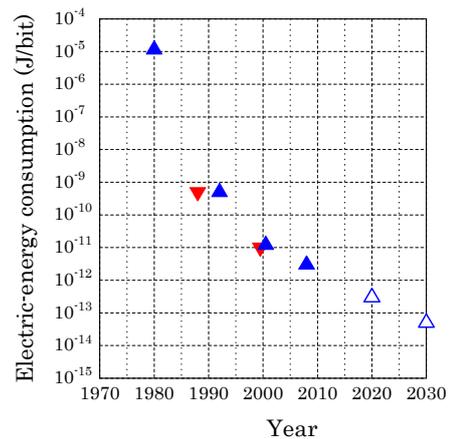


図 1.3.3.6 1980 年代以降の光論理ゲート電力消費量  
半導体方式、期待値、光ファイバー方式

図 1.3.3.6 に、1980 年代以降に研究成果発表された光論理ゲート電力消費量を示す。半導体方式( 印)の場合、非共鳴 $\chi^{(3)}$  非線形光学定数を利用した 1980 年代、 $\chi^{(2)}$ カスケード過程を利用した 1990 年代<sup>14)</sup>を経て、2000 年代の 1 ビット当たり dc 電力消費量は 3 ピコジュールまで低下した。1 ビット当たり注入励起電子消費数は  $2 \times 10^7$  である。ここまでの高速化と電力消費量低減には、直流電流注入 SOA の近共鳴 XPM 作用(高速立ち上がり・低速立ち下がり)、SMZ-DISC ゲート構造(低速成分除去)<sup>13)</sup>、光加速方式<sup>15)</sup>に加えて、ブルーシフトフィルター作用<sup>16)</sup>と非線形偏光回転作用<sup>11)</sup>の寄与が順次解明された。(現在進行ないし計画されている研究課題は励起電子 1 個当たりの XPM 作用効率を高め、かつゲートサイズ縮小を意図する課題であり、光スペクトル合成方式、同一波長光加速作用、非対称超格子導入、高バリアヘテロ接合導入などである。ビット当たり 300 フェムトジュール以下(同図 印)の効率化が期待される<sup>1), 2)</sup>。)

なお、上述の光メモリ・光ゲートの集積素子数実績は、垂直入出力型の面発光双安定レーザメモリの

実績に留まる。ここではむしろ 1980 年代後半以降の DWDM 用光集積回路(平面配置回路)の集積素子数の進展を、図 1.3.3.7 に示す<sup>18)</sup>。2000 年代現在  $10^2$  のオーダー留まっている原因はプロセス技術限界ではなく、システム側の需要・投資サイクル待ちである。人類初の MPU, intel 4004 程度の集積トランジスタ数(2,300)は目前である。

光論理ゲート群の [ 速度、電力消費量、微細化サイズ ] 調査結果に基づき、MPU 論理ゲートの全光化によって期待される性能指標を推定した(表 1.3.3.1)。西暦 2025 年に光 MPU4004 を開発し、ゲート単体性能は周波数 300GHz、電力消費量 300fJ/bit、サイズ(500 $\mu\text{m}$ )<sup>2</sup>、集積ゲート数 2,300 と見込むと、光 MPU 4004 の消費電力は 200W 程度、Tr・Clk 積は Pentium Pro (1996) の  $10^{15}$  に並び、MIPS は Core 2 quad (2007) の  $10^5$  を越え、シリアル演算遅延時間は Clk に反比例して 1/100 に圧縮される。従って光 4004 (2,300 ゲート)や光 80386(275,000 ゲート)は、多階層に亘る超並列アルゴリズムに適合しにくく<sup>5)</sup>、シリアル演算遅延時間の大幅な短縮を求めるアプリケーション群に対して、特に斬新なブレークスルーを与えると期待される。

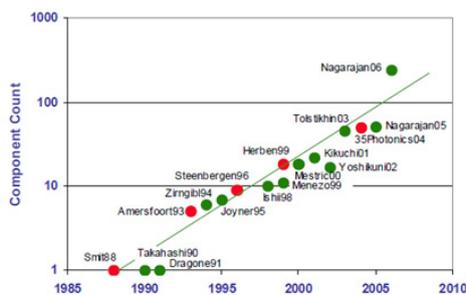


図 1.3.3.7 光集積回路試作研究実績<sup>18)</sup>

Specification	Electronic	Optical processor	
	intel 4004	Present	Near Future
Demo Year	Year 1971	Year 2000-2010	Year 2025
Speed	500 kb/s	200-300 Gb/s	300 Gb/s
Energy (per bit)		3-10 pJ /bit/gate	0.3 pJ /bit/gate
Size (per gate)	70x70 $\mu\text{m}^2$	1,000x3,000 $\mu\text{m}^2$	500x500 $\mu\text{m}^2$ (w/ 100- $\mu\text{m}$ interaction)
Number of gates (per chip)	2,300 transistors	several	2,300 gates (6 chips on 3-inch wafer)
Energy dissipation (per chip)			200 Watt

表 1.3.3.1 人類初の光 MPU 性能推定値<sup>1), 2)</sup>

### 参考文献

- (1) 上野、今後の高速・省エネ光半導体デバイス、OITDA マンスリーセミナー講演、2010年7月27日。
- (2) Y. Ueno, "Roadmap of ultrafast energy-saving optical semiconductor devices to year 2025," 42<sup>nd</sup> international conf. on solid state devices and materials (ssdm 2010), Sept. 2010, Tokyo, Japan.
- (3) Energy balances of OECD and non-OECD countries, International Energy Agency, Paris.
- (4) D.A.B Miller (Stanford Univ.), IEEE Photonics Society Annual Meeting, Turkey, Sept. 2009.
- (5) David Patterson, "The trouble with multi-core," IEEE Spectrum vol. 47, no. 7, pp. 24-29, July 2010.
- (6) E. Kehayas, et al., IEEE Photon. Technol. Lett. vol. 18, pp. 1750-1752, August 2006.
- (7) K. Asakawa et al., New J. Phys. vol. 8, 208, pp. 1-26, 2006.
- (8) M.T. Hill et al., Nature vol. 432, pp. 206-209, Nov. 2004.
- (9) T. Katayama et al., IEEE J. Quantum Electron. vol. 45, pp. 1495-1504, Nov. 2009.
- (10) Y. Ueno et al., J. Opt. Soc. Am. vol. B19, pp. 2573-2589, Nov. 2002.
- (11) J. Sakaguchi et al., Opt. Comm. vol. 282, pp. 1728-1733, 2009.
- (12) Y. Liu et al., J. Lightwave Technol. vol. 25, pp. 103-108, Jan. 2007.
- (13) K. Tajima, Jpn. J. Appl. Phys. vol. 32, pp. L1746-L1749, Dec. 1993; Y. Ueno et al., Opt. Lett. vol. 23,

pp. 1846-1848, Dec. 1998.

(14) A. Villeneuve, K. Al-Hemyari, J.U. Kang, C.N. Ironside, J.S. Aitchison, and G.I. Stegeman, *Electron. Lett.* vol. 29, pp. 721-722, April 1993.

(15) R.J. Manning and D.A.O. Davies, *Opt. Lett.* vol. 19, pp. 889-891, June 1994.

(16) M.L. Nielsen et al., *Opt. Express* vol. 14, pp. 331-347, Jan. 2006.

(17) T. Nishida et al., 22<sup>nd</sup> Annual Meeting of IEEE Photon. Soc., Turkey, Oct. 2009.

(18) M.K. Smit, 21<sup>st</sup> Annual Meeting of IEEE LEOS, Newport Beach, USA, Nov. 2008.